



⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **G** brauchsmust r
⑩ **DE 297 22 440 U 1**

⑤ Int. Cl. 6:
H 01 L 27/108
H 01 L 21/82
H 01 L 21/30

②① Aktenzeichen:	297 22 440.9
②② Anmeldetag:	18. 12. 97
④⑦ Eintragungstag:	16. 4. 98
④③ Bekanntmachung im Patentblatt:	28. 5. 98

DE 297 22 440 U 1

⑦③ Inhaber:
Siemens AG, 80333 München, DE

⑤① Halbleiterspeicher und Implantationsmaske

DE 297 22 440 U 1

Beschreibung

Halbleiterspeicher und Implantationsmaske

- 5 Die Erfindung betrifft einen Halbleiterspeicher in einem Halbleitersubstrat mit Speicherzellen, die jeweils einen Kondensator und einen MOS-Auswahltransistor umfassen und bei der der Kondensator als Grabenkondensator ausgebildet ist, sowie eine Implantationsmaske.

10

- Dieses Speicherkonzept für DRAM-Speicher ist weitverbreitet und beispielsweise in EP-A 399 060, EP-A 543 158 oder in US-PS 5,360,758 beschrieben. Die Speicherelektrode ist in einem Graben im Halbleitersubstrat angeordnet, die gemeinsame Ge-
15 genelektrode wird in geeigneter Weise vom Halbleitersubstrat gebildet. Die Grabenwand ist mit einem Kondensator-Dielektrikum ausgekleidet, eventuell befindet sich in der Nähe der Substratoberfläche ein verdickter Oxidkragen. Benachbart zum Kondensator ist der zugehörige Auswahltransistor angeordnet.
- 20 Ein erstes dotiertes Gebiet des Auswahltransistors muß in geeigneter Weise mit der Speicherelektrode verbunden sein; dies kann unter anderem durch einen direkten Seitenwandkontakt, einen sogenannten Surface Strap oder einen Buried Strap erfolgen. Das zweite dotierte Gebiet des Auswahltransistors ist
25 mit einer Bitleitung verbunden. Die dotierten Gebiete besitzen die entgegengesetzte Leitfähigkeit zu dem Substrat, in dem sie angeordnet sind. Der Einfachheit halber wird im folgenden von einem p-Kanal-Auswahltransistor in einem n-dotierten Substrat ausgegangen; dabei kann das n-dotierte Substrat
30 auch eine epitaktische Schicht auf einem beispielsweise p-dotierten Silizium-Substrat sein. Selbstverständlich lassen sich alle Ausführungen auf ein p-Substrat mit einem n-Kanal-Transistor übertragen.

Bei einer anderen Ausführungsform dieses Speicherkonzeptes wird die Speicherelektrode von einem Bereich des Substrats und die Zellplatte von einer im Graben angeordneten Polysiliziumstruktur gebildet. Ferner ist es möglich, beide Elektroden im Graben unterzubringen.

Bei einer derartigen Anordnung ist ein möglichst geringer Kontakt- und Schichtwiderstand der dotierten Gebiete von Transistoren im Substrat wichtig. Dies wird durch eine Beladung des dotierten Gebietes mit einem Silizid erreicht. Es wird bspw. eine etwa 25 nm dicke TiSi-Schicht auf den freiliegenden Siliziumgebieten - den S/D-Gebieten von Transistoren im Zellenfeld und in der Peripherie - in einem aufwendigen und kostenintensiven Verfahren aufgebracht. Kontakt- und Schichtwiderstand der p- und n-Diffusionsgebiete sind dann durch die Leitfähigkeit des Silizids bestimmt, die Dotierung des Siliziums spielt eine untergeordnete Rolle.

Nach der Bildung des TiSi ist das Temperaturbudget für die weitere Prozessierung stark eingeschränkt. Bereits bei einer Temperatur von etwa 800°C, wie sie im weiteren Herstellverfahren notwendig ist, werden spezifische Probleme wie Kontaktierungsprobleme, Titan-Spiking, „Worm Holes“ beobachtet. Diese führen zu Ausbeuteeinbußen und geringerer Zuverlässigkeit. Aufgrund des eingeschränkten Temperaturbudgets ist ferner eine ausreichende Oberflächenaktivierung von Dotierstoffen, das Ausheilen von Implantationsschäden sowie die Herstellung einer dichten (voidfreien) BPSG-Isolierschicht kaum möglich. Ein weiterer Nachteil bei Einsatz von TiSi ist, daß organische Reinigungen wie bspw. Piranha (H_2SO_4 / O_3 -Lösung) nach der Kontaktlochätzung aufgrund der Reaktivität mit TiSi nicht eingesetzt werden können.

Wird zur Vermeidung dieser Nachteile die Silizidschicht weg-

gelassen, erhält man aufgrund der stark erhöhten Widerstände keine funktionsfähige Schaltung. Eine Reduzierung der Widerstände bei einer silizidfreien Anordnung kann auch nicht einfach durch Erhöhung der S/D-Implantationen erreicht werden.

- 5 Nach dem Stand der Technik werden die S/D-Gebiete der p-Kanal-Transistoren im Zellenfeld und in der Peripherie unter Verwendung einer Maske (sogenannte p^+ -Maske, die n-Diffusionsgebiete abdeckt) gleichermaßen implantiert, übliche Parameter dieser Bor-Implantation sind eine Dosis von etwa
- 10 10^{15}cm^{-2} und eine Energie von 10keV. Diese Implantation - und ebenso eine analoge Implantation der n-Kanal-Transistoren in der Peripherie - erfolgt im allgemeinen nach Fertigstellung des Grabenkondensators und des Gates. Eine höhere Implantation (d.h. höhere Dosis) führt zu einer stärkeren Schädigung
- 15 des Substrats in Form von Gitterstörungen. Es bilden sich Versetzungsschleifen oder ähnliche Kristallfehler aus. Dies kann insbesondere im Zellenfeld in der Umgebung des ersten dotierten Gebietes und des Grabens nicht toleriert werden, da die Zuverlässigkeit des Speichers bspw. durch einen erhöhten
- 20 Leckstrom, der zu einer Degradation der Retention time (Haltezeit, d.h. mittlere Zeit bis zum Verlust der Information) führt, verringert wird. Wird dagegen Titansilizid eingesetzt, verringert das TiSi aufgrund der geringeren Dichte gegenüber Silizium die Bildung von implantationsinduzierten
- 25 Versetzungsschleifen. Ein silizidfreier Prozeß mit erhöhten S/D-Implantationen liefert daher keine funktionsfähige Schaltung.

- Aufgabe der vorliegenden Erfindung ist daher die Angabe einer
- 30 einfacher herstellbaren derartigen Speicherzelle mit gleicher oder verbesserter elektrischer Zuverlässigkeit.

Diese Aufgabe wird durch die Merkmale des Anspruchs 1 gelöst. In Anspruch 8 ist ein besonders geeignetes Hilfsmittel zur

Lösung der Aufgabe angegeben.

Die Erfindung beruht darauf, ein Silizid zu vermeiden und gleichzeitig lediglich die S/D-Gebiete stärker zu dotieren, in deren Umgebung eine Schädigung des Substrats unkritisch ist. Dadurch werden insbesondere in der Peripherie und für den Anschluß der Bitleitung im Zellenfeld S/D-Gebiete mit ausreichend niedrigem Widerstand erzeugt, der schädigungsempfindliche Bereich im Zellenfeld um den Graben und ein anschließender Bereich des ersten dotierten Gebietes des Auswahltransistors werden jedoch schwächer dotiert, so daß hier Kristallfehler weitgehend vermieden werden, bzw. auch bei niedrigem Temperaturbudget ausgeheilt werden können. Durch den Verzicht auf Silizid steht außerdem für die weitere Prozeßführung ein höheres Temperaturbudget zur Verfügung, so daß Gitterstörungen besser ausgeheilt werden können.

Die stärkere Dotierung des zweiten dotierten Gebietes und der Peripherietransistoren wird dadurch erreicht, daß zunächst eine erste Implantation aller p-Gebiete und dann eine weitere Implantation mit einer Zusatzmaske durchgeführt wird, die schädigungsempfindliche Bereiche - also insbesondere die Umgebung des Grabens - abdeckt und das zweite dotierte Gebiet offen läßt. Das zweite dotierte Gebiet und die S/D-Gebiete der Peripherietransistoren desselben Leitungstyps erfahren also eine Implantation mehr als das erste dotierte Gebiet. Die Parameter der ersten und der weiteren Implantation werden so gewählt, daß einerseits Gitterstörungen im schädigungsempfindlichen Bereich minimiert werden und andererseits Kontakt- und Schichtwiderstände in den übrigen Bereichen minimiert werden. Die n-Kanal-Peripherietransistoren werden mit einer alle p-Gebiete abdeckenden Maske ausreichend hoch dotiert, so daß eine Silizidbelegung nicht notwendig ist.

Das zweite dotierte Gebiet und die S/D-Gebiete der Peripherietransistoren desselben Leitungstyps weisen ein zweite Dotierstoffkonzentration auf, die im Bereich 10^{20} bis 10^{21} cm^{-3} (Oberflächenkonzentration nach elektrischer Aktivierung) liegt. Die erste Dotierstoffkonzentration im ersten dotierten Gebiet kann etwa $10^{18} - 10^{20} \text{ cm}^{-3}$ betragen (bevorzugt 10^{18} cm^{-3}).

Weitere Einzelheiten zur Implantation sind in der Anmeldung „Halbleiterspeicher und Implantationsmaske“ desselben Anmelders und mit selbem Anmeldetag (Erfinder: A. Kieslich, E. Eckstein, D. Savignac), auf deren Inhalt hier verwiesen wird, beschrieben.

In einer Ausführungsform wird der Auswahltransistor als LDD-Transistor ausgebildet. Dann kann das erste dotierte Gebiet lediglich mit der LDD-Implantation als erste Implantation dotiert werden, während unter Verwendung der Zusatzmaske das zweite dotierte Gebiet und die p-Kanal-Peripherietransistoren einer weiteren Implantation unterworfen werden. Es ist auch möglich, nach der ersten Implantation (beispielsweise LDD-Implantation) die p-dotierten Gebiete zunächst nach bekanntem Verfahren (Abdeckung der n-Diffusionsgebiete), aber mit geringerer Dosis ein zweites Mal zu implantieren und dann unter Einsatz der Zusatzmaske die weitere (dritte) Implantation durchzuführen, so daß lediglich das zweite Gebiet und die p-Kanal-Peripherietransistoren dabei dotiert werden.

Die Zusatzmaske deckt zumindest die n- Diffusionsgebiete und die Umgebung des Grabens mit dem angrenzenden Teil des ersten dotierten Gebietes und vorzugsweise - schon wegen Erreichen der Auflösungsgrenze - das gesamte erste dotierte Gebiet ab. Die Zusatzmaske kann, wie oben erläutert, je nach Randbedingungen als Ersatzmaske für die bisherige p^+ -Maske eingesetzt werden oder als eine zusätzliche Maske. Im letzteren Fall

werden die vorangehende Implantation oder Implantationen so ausgeführt, daß eine gegenüber den bekannten Verfahren geringere Dotierstoffkonzentration und geringere Schädigung im Substrat erreicht wird.

5

Da die Zusatzmaske die p-Kanal-Transistoren in der Peripherie offenläßt, können ihre Eigenschaften ohne Einschränkungen durch den Zellbereich optimiert werden. Schädigungsunkritische Bereiche (Peripherie, Bitleitungskontakte) können deutlich höher dotiert werden. p-Kontakt- und -Schichtwiderstände können von der Induktion kritischer Kristallschäden getrennt optimiert werden.

Die Reduzierung der zellknotenseitigen S/D-Implantation verringert ferner die Unterstreuung (Unterdiffusion) der S/D-Implantation unter das Gate-Polysilizium der aktiven Wortleitung. Diese Unterdiffusion bewirkt einen weiteren Leckmechanismus, der als „Gate Induced Drain Leakage“ (GIDL) bezeichnet wird und üblicherweise durch einen dicken Spacer an der Wortleitung und einen möglichst ausgeprägten birds beak (Aufoxidation des Gateoxids an der Kante der Wortleitung) verringert wird. Die Erfindung führt zu dem weiteren Vorteil, daß dieser Leckmechanismus durch die geringere Implantation des ersten dotierten Gebietes stark verringert wird, da sich die Position des p/n-Übergangs unterhalb des Gates unabhängig von der Transistor-Performance der Peripherie-Transistoren einstellen läßt. Dadurch ist es z.B. möglich, einen dünneren Spacer am Gate einzusetzen, wodurch die weiteren Prozeßschritte (bspw. Erzeugung des Surface-Straps) erleichtert wird.

Der Verzicht auf die übliche Silizidschicht (meist TiSi) wird ermöglicht durch die höhere Dotierung der genannten p-Gebiete, die im Bereich von 10^{20} bis 10^{21} cm^{-3} liegt. Mit Hilfe der Zusatzmaske, die die Implantation von Bor in den vorgege-

benen Bereichen verhindert, kann eine Bor-Implantation in der Peripherie mit einer Dosis von beispielsweise $2 \times 10^{15} \text{ cm}^{-2}$ durchgeführt werden. Die Dosis der ersten Implantation liegt in der Größenordnung von 10^{14} cm^{-2} . Neben einer Prozeßvereinfachung wird ein höheres Temperaturbudget erreicht, so daß bspw. Defekte besser ausgeheilt werden können und durch eine höhere Verfließtemperatur (bspw. 1000 C) ein voidfreies BPSG als eine Isolierschicht auf den Transistoren hergestellt werden kann.

10

Die Erfindung ist analog einsetzbar bei Vertauschung von n- und p-Leitfähigkeit, also bei einer Speicherzelle mit einem n-Kanal-Auswahltransistor. Bspw. erfolgt dann die weitere Implantation mit der Zusatzmaske in das zweite dotierte Gebiet des n-Kanal-Auswahltransistors und in die n-Kanal-Peripherietransistoren.

15

Zusammengefaßt ist das Herstellverfahren durch folgende Schritte gekennzeichnet

20

- Bereitstellen eines Halbleitersubstrats eines ersten Leitfähigkeitstyps,
- Erzeugen eines Grabenkondensators (2) im Halbleitersubstrat mit einer Speicherelektrode (3), wobei der Graben (2) benachbart zu einem aktiven Gebiet in einem Zellenfeld (Zf) des Halbleitersubstrats (1) angeordnet ist,
- Aufbringen einer vom Substrat isolierten Wortleitung (5), die über das aktive Gebiet im Zellenfeld verläuft, und Aufbringen einer vom Substrat isolierten Wortleitung (5) in der Peripherie der Anordnung,
- Durchführen einer ersten Implantation mit Dotierstoffatomen eines zweiten Leitfähigkeitstyps in das aktive Gebiet, so daß ein erstes und zweites dotiertes Gebiet (6, 7) des Auswahltransistors im Zellenfeld und dotierte Gebiete (P6, P7) eines Transistors in der Peripherie gebildet werden,

25

30

- Durchführen einer weiteren Implantation mit Dotierstoffatomen des zweiten Leitfähigkeitstyps unter Einsatz einer Zusatzmaske (Z), die den Graben (2), den benachbarten Teil des ersten dotierten Gebietes (6) und den unmittelbar umgebenden Bereich des Halbleitersubstrats (1) abdeckt, und die das zweite dotierte Gebiet (7) im Zellenfeld und die dotierten Gebiete des Transistors (P6, P7) in der Peripherie offenläßt,
- Erzeugen eines Kontaktes (9) zwischen der Speicherelektrode (3) des Kondensators und dem ersten dotierten Gebiet (6),
- Herstellen einer Bitleitung (10), die mit dem zweiten dotierten Gebiet (7) silizidfrees verbunden ist,
- Herstellen von Leitbahnen (P11, P12), die mit den dotierten Gebieten (P6, P7) des Transistors in der Peripherie silizidfrees verbunden sind.

Bei einer bevorzugten Ausführungsform wird die erste Implantation ohne Einsatz einer Implantationsmaske durchgeführt.

- Bei einer weiteren Ausführungsform wird mit Hilfe der ersten Implantation ein LDD-Bereich des zweiten dotierten Gebietes (7) gebildet und es werden nach der ersten Implantation isolierende Spacer (8) an den Seitenwänden der Wortleitung.

- Bei einer weiteren Ausführungsform wird die erste Implantation mit einer Dosis im Bereich 10^{12} bis 10^{14} cm^{-2} und einer Energie im Bereich 8 bis 20 keV und die zweite Implantation mit einer Energie im Bereich 2×10^{15} bis 10^{16} cm^{-2} und einer Energie von etwa 10 keV durchgeführt wird.

30.

Bei einer weiteren Ausführungsform erfolgt nach der ersten Implantation eine zweite Implantation mit Dotierstoffatomen des zweiten Leitfähigkeitstyps in das erste (6) und das zweite (7) dotierte Gebiet und die zweite Implantation wird mit ei-

ner Dosis von weniger als 10^{15} cm^{-2} durchgeführt.

Bei einer weiteren Ausführungsform werden die in der Peripherie der Halbleiteranordnung ein Transistor vom entgegengesetzten Leitfähigkeitstyp des Auswahltransistors erzeugt wird
5 und dessen dotierte Gebiete silizidfremd mit Anschlüssen (N11, N12) verbunden.

Die Erfindung wird im folgenden anhand eines Ausführungsbeispiels, das in den Figuren dargestellt ist, näher erläutert.
10 Es zeigen

FIG 1 - 3: eine Aufsicht (a) bzw. einen Querschnitt (b und Fig 3) durch ein Halbleitersubstrat, an dem die Herstellung eines Ausführungsbeispiels erläutert wird. Der
15 Schnitt in den Figurenteilen b verläuft durch den Auswahltransistor im Zellenfeld (Zf), außerdem sind Transistoren in der Peripherie (Pe) dargestellt.

FIG 4: Eine Aufsicht auf ein Halbleitersubstrat mit einer teilweise fertiggestellten DRAM-Zelle, bei der ein Beispiel für eine Zusatzmaske dargestellt ist.
20

FIG 5: Einen Vergleich der Ausfallraten von erfindungsgemäßen Speicherzellen (A) und konventionellen Speicherzellen (B).
25

FIG 1a, b: In einem n-dotierten Halbleitersubstrat 1 (mit einem p-dotierten Substratteil 1' in der Peripherie) ist nach bekanntem Verfahren ein Graben 2 erzeugt, der isolierte Seitenwände aufweist und eine aus p-dotiertem Polysilizium bestehende Speicherelektrode 3 aufnimmt. Benachbart zum Graben ist das aktive Gebiet des Auswahltransistors angeordnet, nichtaktive Bereiche der Substratoberfläche sind mit einem Isolationsgebiet 4 (bspw. eine shallow trench isolation) versehen. Im Figurenteil b ist der hinter der Schnittlinie lie-
30

gende Graben 2 gestrichelt dargestellt. Das Substrat kann in der Nähe des Grabens oder des Grabenbodens höher dotiert sein, um eine funktionsfähige Zellplatte zu bilden. Nach Bilden von Wortleitungen 5 im Zellenfeld (Zf) und in der Peripherie (Pe) wird eine Implantation mit Bor durchgeführt, insbesondere die übliche Bor-Implantation zur Erzeugung von LDD-Gebieten. Die Dosis liegt in der Größenordnung von 10^{12} bis 10^{14} cm^{-2} , die Energie beträgt etwa 8 bis 20 keV. Diese Implantation kann mit einer Maske durchgeführt werden, die die n-Diffusionsgebiete abdeckt (in Fig. 1b rechts dargestellt). Es kann aber auch eine maskenlose Implantation durchgeführt werden, insbesondere wenn die Dosis maximal 10^{13} cm^{-2} beträgt; in den n-Diffusionsgebieten wird dann die Borimplantation später durch eine höhere n-Implantation kompensiert. Nach dieser ersten Implantation sind im Zellenfeld ein erstes dotiertes Gebiet 6 und ein zweites dotiertes Gebiet 7 erzeugt, in der Peripherie sind entsprechende dotierte Gebiete P6, P7 eines p-Kanal-Transistors erzeugt. Die Dotierstoffkonzentration der p-Gebiete beträgt etwa 10^{18} cm^{-3}

FIG 2a, b: Es werden n-Diffusionsgebiete N6, N7 im p-dotierten Substratteil 1' erzeugt. An den Seitenwänden des Gates werden Spacer erzeugt, so daß das Gate 5 vollständig mit einer Isolation 8, 8' eingekapselt ist.

Optional (nicht dargestellt) kann nun eine zweite p-Implantation unter Verwendung der bekannten p^+ -Maske - also unter Abdeckung der n-Diffusionsbereiche - durchgeführt werden, wobei aber die Dosis geringer als bei bisherigen Verfahren gewählt wird (die p^+ -Maske entspricht der in Fig 1b dargestellten Maske). Dadurch wird erreicht, daß die Dotierstoffkonzentration insbesondere im ersten dotierten Gebiet 6 erhöht wird, aber noch keine nennenswerten Gitterstörungen auftreten.

Nun wird eine Zusatzmaske Z, beispielsweise eine Lackmaske, nach bekanntem Verfahren aufgebracht, die mindestens die n-Diffusionsgebiete N6, N7 und die schädigungsempfindlichen Bereiche der Speicherzelle, also den Graben und den angrenzenden Teil des ersten dotierten Gebietes sowie den direkt angrenzenden Bereich des Substrats abdeckt. Das zweite dotierte Gebiet und die p-Gebiete in der Peripherie werden nicht abgedeckt. In den Figuren 2 und 4 deckt die Zusatzmaske Z einen größeren Bereich ab und reicht etwa bis zur Mitte der Wortleitung. Je nach Layout der Speicherzellen im Zellenfeld kann die Zusatzmaske Z beispielsweise aus Streifen bestehen, wobei unter den Streifen jeweils die Grabenkondensatoren und die zugehörigen ersten dotierten Gebiete liegen und in den Lücken zwischen den Streifen die zweiten dotierten Gebiete angeordnet sind. Mit der Maske Z wird nun eine p-Implantation durchgeführt (Dosis etwa 2×10^{15} bis 10^{16} cm^{-2} , Energie 10 keV), dabei werden auch die S/D-Gebiete P6, P7 der p-Kanal-Transistoren in der Peripherie dotiert. Diese weitere Implantation wird vorzugsweise so eingestellt, daß nach der Bor-Ausdiffusion der pn-Übergang in vergleichbarer Tiefe zur bekannten Prozeßführung liegt. Die Transistorparameter (Punchverhalten, Sättigungsströme, Einsatzspannung,...) bleiben damit unverändert.

Der üblicherweise anschließende Silizidkomplex (Titan-Sputtern, -Anneal, -Ätzung) entfällt. Durch die Eliminierung des Silizids ist nun ein Ausheil- und Aktivierungsschritt bei höherer Temperatur und/oder mit längerer Zeitdauer möglich (z.B. 1050 °C, 10 sec), so daß ausreichend niedrige Kontakt- und Schichtwiderstände erreicht werden.

FIG 3: Die Zusatzmaske wird entfernt und die Speicherzelle wird mit bekannten Verfahren fertiggestellt. In diesem Ausführungsbeispiel ist vorgesehen, das erste dotierte Gebiet

und die Speicherelektrode mit Hilfe eines sogenannten Surface-Strap 9 aus p-Silizium zu verbinden. Die reduzierte Implantationsdosis im ersten dotierten Bereich führt zu keiner Beeinträchtigung der elektrischen Funktion, da der Ladungstransport innerhalb der Speicherzelle durch den hochdotierten Surface Strap gewährleistet ist. Das zweite dotierte Gebiet 7 wird mit einer Bitleitung 10 verbunden. Dies geschieht bspw. über einen W-Kontaktpfeiler, wobei die Bitleitung aus einer Al-Legierung bestehen kann. Der p-Kanal-Transistor in der Peripherie wird mit Leitbahnen P11, P12 verbunden. Entsprechendes gilt für den n-Kanaltransistor (Leitbahnen N11, N12).

Fig. 4: Es ist eine Aufsicht auf das Zellenfeld dargestellt, wobei die Bitleitungskontakte (zweites dotiertes Gebiet 7) entlang einer ersten Richtung in Reihen angeordnet sind. Zwischen diesen Reihen befinden sich die übrigen Bereiche der Speicherzellen, also insbesondere der Grabenkondensator und das erste dotierte Gebiet des Auswahltransistors. Die Zusatzmaske Z besteht im Zellenfeld aus Streifen, die im wesentlichen in der ersten Richtung verlaufen und die Bitleitungskontakte 7 und einen angrenzenden Teil der das Gate umschließenden Isolation 8, 8' freilassen.

FIG 5: In der Figur ist die Anzahl fehlerhafter Speicherzellen eines erfindungsgemäßen 1M DRAM (A) und eines konventionellen silizidhaltigen 1M DRAM (B) dargestellt (Mittelwerte aus 10 000 Chips; die Fehlerbalken kennzeichnen den 2%-, 25%-, 75%- und 98%-Wert, ferner ist der Median angegeben). Die Anforderung für eine fehlerfreie Zelle ist eine Refresh-Zeit von mindestens 620 msec (long retention). Es ist ein deutlicher Rückgang der fehlerhaften Zellen durch verringerte Leckströme bei (A) zu erkennen.

Schutzansprüche

1. Halbleiterspeicheranordnung in einem Halbleitersubstrat mit Speicherzellen, die jeweils einen Grabenkondensator und
5 einen MOS-Auswahltransistor umfassen,
 - bei der der Auswahltransistor zwei dotierte Gebiete (6, 7) im Halbleitersubstrat (1) umfaßt und das erste dotierte Gebiet (6) mit einer Speicherelektrode (3) des Kondensators und das zweite dotierte Gebiet (7) mit einer Bitleitung
10 (10) verbunden ist,
 - bei der das erste dotierte Gebiet (6) zumindest in der Nähe der Speicherelektrode (3) eine erste Dotierstoffkonzentration aufweist und das zweite dotierte Gebiet (7) eine zweite Dotierstoffkonzentration aufweist, wobei die erste
15 Dotierstoffkonzentration niedriger ist als die zweite Dotierstoffkonzentration,
 - bei der in der Peripherie ein Transistor vom Leitfähigkeitstyp des Auswahltransistors angeordnet ist, dessen dotierte Gebiete eine Dotierstoffkonzentration im Bereich
20 der zweiten Dotierstoffkonzentration aufweisen,
 - bei der die dotierten Gebiete des Auswahltransistors (6,7) und des Peripherietransistors (P6,P7) silizidfrei mit einem Anschluß (9,10,P11,P12) verbunden sind.
- 25 2. Halbleiterspeicheranordnung nach Anspruch 1, bei der das gesamte erste dotierte Gebiet (6) die erste Dotierstoffkonzentration aufweist.
- 30 3. Halbleiterspeicheranordnung nach einem der Ansprüche 1 - 2, bei der die Speicherelektrode (3) im Innern des Grabens (2) angeordnet ist.
4. Halbleiterspeicheranordnung nach Anspruch 3, bei der das erste dotierte Gebiet (6) und die Speicherelektrode (3) über

eine leitende Struktur (9) an der Substratoberfläche miteinander verbunden sind.

5. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis
5 4, bei der der Auswahltransistor (5,6,7) als LDD-Transistor
ausgebildet ist und die Dotierstoffkonzentration im ersten
dotierten Gebiet (6) der Konzentration des LDD-Gebietes ent-
spricht.
- 10 6. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis
5, bei der in der Peripherie (Pe) Transistoren vom entgegen-
gesetzten Leitungstyp des Auswahltransistors angeordnet sind,
bei der die ersten und zweiten dotierten Gebiete (N6, N7)
dieser Transistoren silizidfrees mit einem Anschluß (N11, N12)
15 verbunden sind.
7. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis
6, bei der die erste Dotierstoffkonzentration etwa 10^{18} cm^{-3}
und die zweite Dotierstoffkonzentration etwa $10^{20} - 10^{21} \text{ cm}^{-3}$
20 beträgt.
8. Maske für die Herstellung einer Halbleiterspeicheranord-
nung nach einem der Ansprüche 1 bis 7, die im Bereich einer
Speicherzelle den Graben (2), den benachbarten Teil des er-
sten dotierten Gebietes (6) und den unmittelbar umgebenden
25 Bereich des Halbleitersubstrats abdeckt, und die das zweite
dotierte Gebiet (7) sowie einen Peripherietransistoren vom
Leitfähigkeitstyp des Auswahltransistors offenläßt.
- 30 9. Maske nach Anspruch 8, die das gesamte erste dotierte Ge-
biet (6) abdeckt.
10. Maske nach einem der Ansprüche 8 oder 9, die im Zellen-
feld der Halbleiterspeicheranordnung streifenförmige Bereiche

18.12.97

15

abdeckt, wobei die Lücken zwischen den Streifen über den zweiten dotierten Gebieten von Speicherzellen angeordnet sind.

12.03.98

1/2

FIG 1A

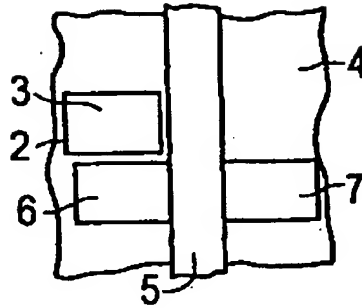


FIG 1B

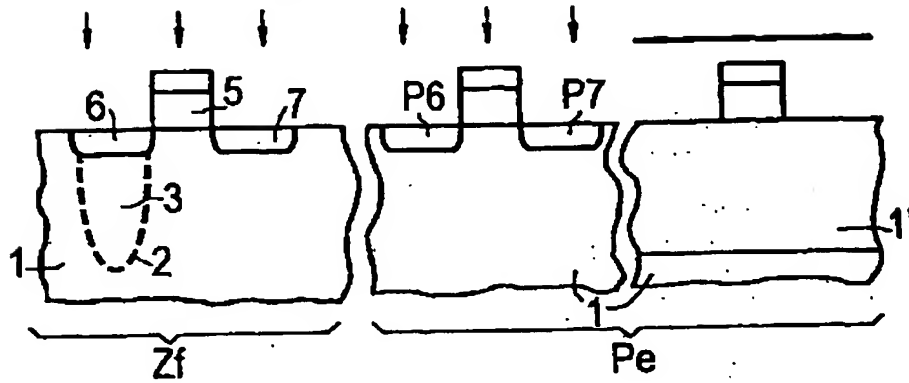


FIG 2A

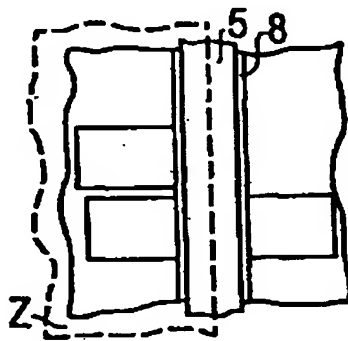
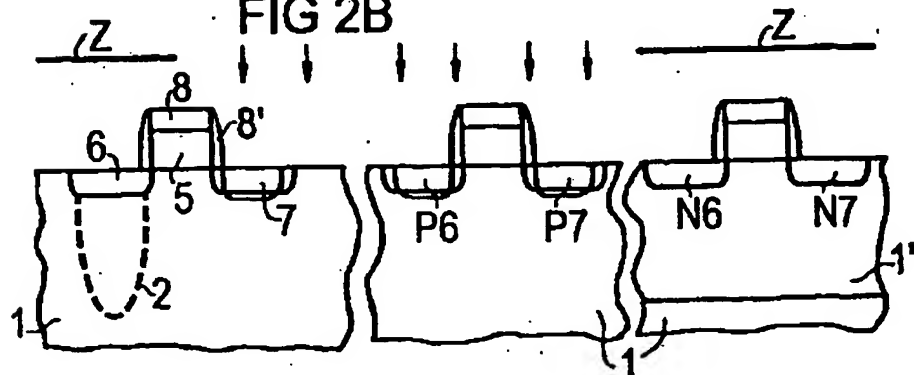


FIG 2B



12.03.98

2/2

